**Τ.Ε.Ι. ΚΡΗΤΗΣ**

**Σ.Τ.ΕΦ.**

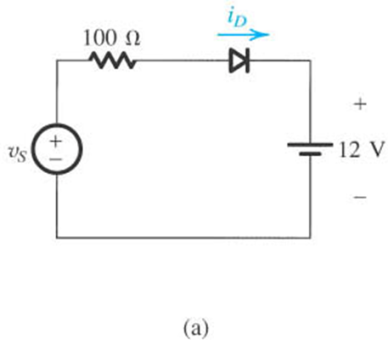
**ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ**

**«ΜΙΚΡΟΗΛΕΚΤΡΟΝΙΚΗ»**

Διδάσκων Παναγιωτάκης Σπυρίδων

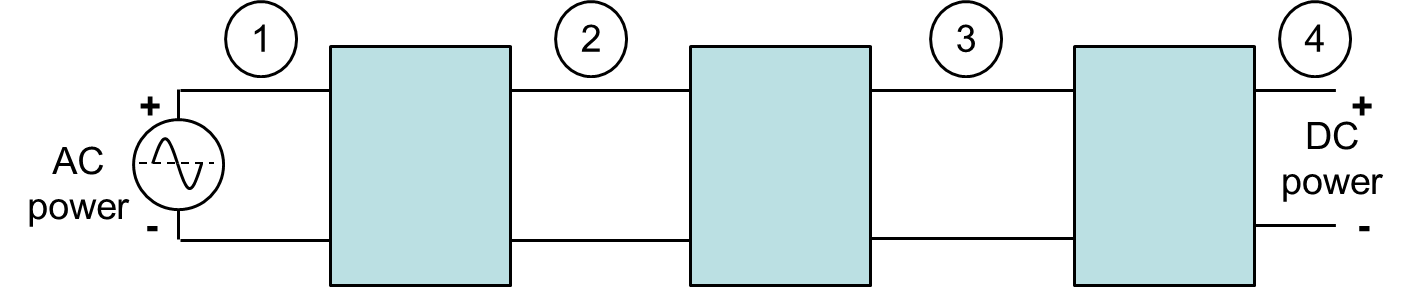
**ΘΕΜΑ 1 ( 2,0 μ.)**

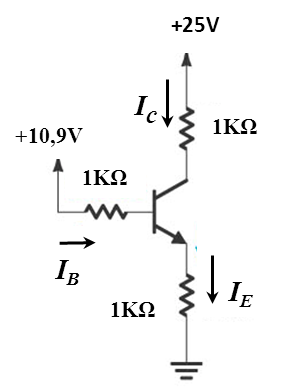
1. Για το κύκλωμα του σχήματος να δώσετε το όριο μεταβολής της DC τάσης εισόδου V για να έχουμε ορθή πόλωση της διόδου. Θεωρείστε για τη δίοδο α) το μοντέλο της ιδανικής διόδου και β) το μοντέλο σταθερής πτώσης τάσης.



V

1. Να ονομάσετε τις βαθμίδες της ακόλουθης ανορθωτικής διάταξης και να απεικονίσετε στα σημεία 1, 2, 3, 4 τη μορφή του αντίστοιχου σήματος.



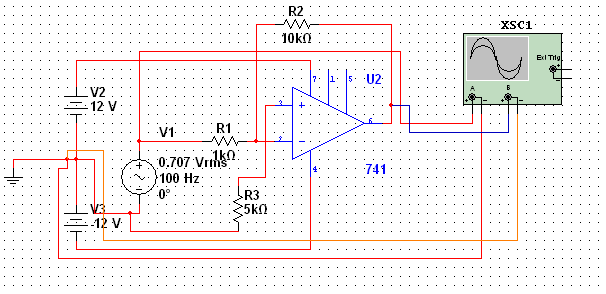


**ΘΕΜΑ 2 ( 2,5 μ.)**

1. Για το τρανζίστορ npn του διπλανού σχήματος να αποδείξετε ότι λειτουργεί στην ενεργό περιοχή.
2. Αν η τάση VCC μειωθεί από 25 V σε 15 V τι θα αλλάξει στη συμπεριφορά του τρανζίστορ;
3. Αν γειώσουμε τη Βάση τι θα συμβεί στο τρανζίστορ;

**ΘΕΜΑ 3 ( 1,5 μ.)**

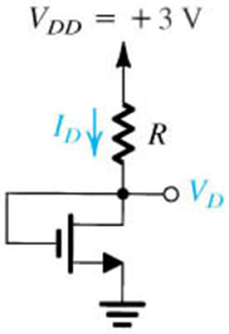
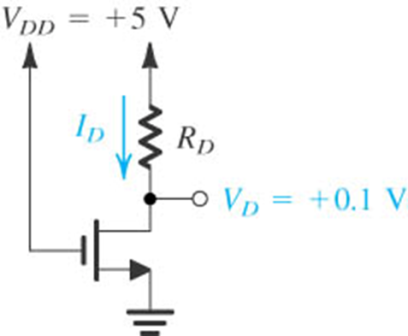
Για την ακόλουθη συνδεσμολογία: α) να υπολογίσετε την ενίσχυση τάσης και να βρείτε το ισοδύναμό της σε dB. β) να απεικονίσετε τα σήματα εισόδου και εξόδου, γ) αν το σήμα εισόδου είχε πλάτος 15V να απεικονίσετε το σήμα εξόδου και να σχολιάσετε τη μορφή του εν συντομία.



**ΘΕΜΑ 4 ( 1,5 μ.)**

Για τα ακόλουθα τρία κυκλώματα με N-MOSFET (VT = 1V) να βρείτε την περιοχή λειτουργίας του τρανζίστορ και να αιτιολογήσετε την απόφασή σας.

VDD= + 5 V

VDD= + 5 V

VD

ID

VD=0,1V

ID

(C)

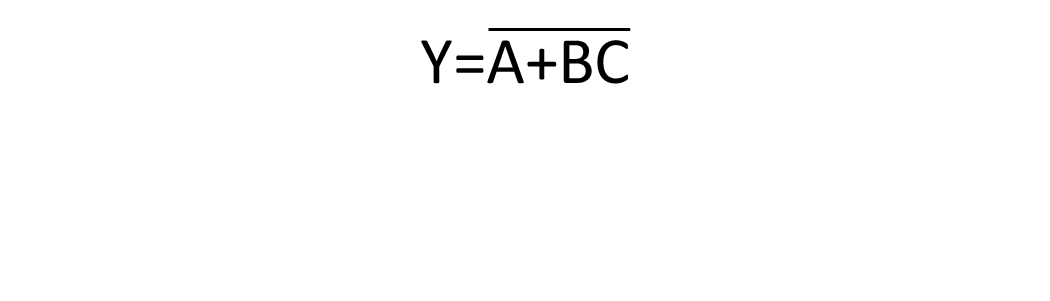
(B)

(A)

VD=2V

**ΘΕΜΑ 5 ( 2,5 μ.)**

Να σχεδιάσετε CMOS κύκλωμα που να υλοποιεί τη λογική συνάρτηση:



Καλή επιτυχία